


PATENT
Docket No. 20063/OG03-046

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant: In su Kim)	I hereby certify that the documents
Serial No.: 10/758,188)	referred to as enclosed herewith are
Filed: January 15, 2004)	being deposited with the United States
For: "Methods of Fabricating)	Postal Service, first class postage
Semiconductor Devices")	prepaid, in an envelope addressed to
Group Art Unit: Unknown)	the Commissioner for Patents, P.O.
Examiner: Not yet assigned)	Box 1450, Alexandria, Virginia
)	22313-1450 on this date:
)	
)	January 30, 2004
)	
)	
)	Mark C. Zimmerman
)	Reg. No. 44,006

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

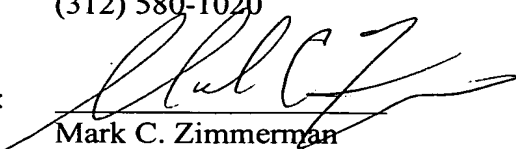
Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No.
10-2003-0066582 filed September 25, 2003, the priority of which is claimed under 35
U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By:


Mark C. Zimmerman
Registration No.: 44,006

January 30, 2004



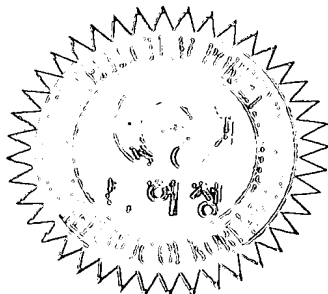
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0066582
Application Number

출원년월일 : 2003년 09월 25일
Date of Application SEP 25, 2003

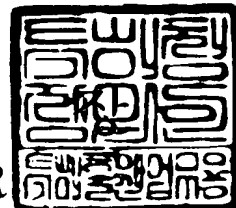
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2004 년 01 월 08 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.09.25
【국제특허분류】	H01L
【발명의 명칭】	반도체 소자의 제조방법
【발명의 영문명칭】	Method for fabricating semiconductor device
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	서천석
【대리인코드】	9-2002-000233-5
【포괄위임등록번호】	2003-014348-4
【발명자】	
【성명의 국문표기】	김인수
【성명의 영문표기】	KIM, In Su
【주민등록번호】	651012-1800914
【우편번호】	442-739
【주소】	경기도 수원시 팔달구 영통동 황골주공아파트 150-703
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 서천석 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	10 항 429,000 원
【합계】	458,000 원

【요약서】**【요약】**

본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 자세하게는 결함 제거 식각을 이용하여 자기정렬 소오스 공정으로 플래시 소자를 제조시 발생하는 결함을 제거한 반도체 소자의 제조방법에 관한 것이다.

본 발명의 상기 목적은 소자격리막이 구비된 반도체 기판상에 산화막, 플로팅 게이트 도전막, 유전체막, 콘트롤 게이트 도전막을 차례로 증착하는 단계, 상기 산화막, 플로팅 게이트 도전막, 유전체막 및 콘트롤 게이트 도전막을 패터닝하여 게이트를 형성하는 단계, 상기 게이트가 형성된 기판에 자기정렬 소오스용 마스크를 형성하고 패터닝하는 단계, 상기 게이트 사이에 드러난 소자격리막을 제거하는 단계, 이온 주입 공정을 진행하는 단계 및 상기 이온 주입 공정시 또는 소자격리막을 제거시 발생한ダメージ를 제거하는 단계를 포함하는 반도체 소자의 제조방법에 의해 달성된다.

따라서, 본 발명의 반도체 소자의 제조방법은 화학 건식식각을 통하여 식각 및 이온주입시 발생하는 실리콘 격자의 손상을 제거하여 산화막의 막질 특성을 향상시켜 플래시 메모리 소자의 동작시 전자의 손실을 방지하여 소자의 전기적 특성을 개선할 수 있는 효과가 있다.

【대표도】

도 2d

【색인어】

화학 건식식각, 자기정렬 소오스

1020030066582

출력 일자: 2004/1/9

【명세서】**【발명의 명칭】**

반도체 소자의 제조방법{Method for fabricating semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래 기술에 의한 플래시 소자의 소오스 라인 형성 방법을 나타낸 공정단면도.

도 2a 내지 도 2d는 본 발명에 따른 반도체 소자의 제조방법을 나타낸 공정단면도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 자세하게는 결함 제거 식각을 이용하여 자기정렬 소오스(self aligned source; SAS) 공정으로 플래시 소자를 제조시 발생하는 결함을 제거한 반도체 소자의 제조방법에 관한 것이다.

<4> 일반적으로, 플래시 소자에서는 소오스 라인(source line)을 형성하기 위해 각 단위 셀의 소오스를 연결하는 소오스 연결층을 형성시킨다. 소오스 연결층 형성 방법의 하나로 각 단위 셀의 소오스에 콘택을 형성하여 연결하는 금속 콘택(metal contact)방법이 있다. 이 방법은 콘택 마진(contact margin)을 고려해야 하기 때문에 고집적 소자에는 적절하지 않은 방법이다

. 소자의 고집적화를 실현하기 위해 최근에는 자기정렬 소오스 공정을 통해 불순물 확산층으로 된 소오스 라인(source line)을 많이 적용하고 있다.

<5> 대한민국 특허공개공보 제 2003-49450호에는 자기정렬 소오스 식각 공정을 통해 소오스 라인을 형성할 때 사용되는 포토레지스트 패턴의 식각 손실을 보상하여 셀 소오스 이온 주입 공정을 원활히 수행할 수 있는 방법이 개제되어 있고, 대한민국 특허공개공보 제 2001-104910호에는 플로팅 게이트용 폴리실리콘막을 잔류시킨 상태로, 소오스가 형성될 부분의 필드산화막을 제거하기 위한 식각 공정을 수행하여 액티브 영역의 기판 실리콘이 손실되는 것을 방지하는 방법이 기재되어 있다.

<6> 또한, 미합중국 등록특허 제 5,955,759호에는 접합 영역들에 대하여 자기 정렬된 소스/드레인 컨택트를 생성하며, 기생 게이트 저항(parasitic gate resistance)을 줄이기 위하여 T-자형의 자기 정렬된 금속 또는 금속/폴리실리콘 게이트를 생성하는 방법에 대하여 기재되어 있고, 미합중국 등록특허 제 5,552,331호에는 자기정렬 소오스의 에치동안 게이트 엣지 및 인접한 소스 영역을 보호하도록 트랜지스터의 게이트를 따라 서로 다른 폭의 스페이서를 형성하는 방법에 대하여 기재되어 있다.

<7> 도 1a 내지 도 1c는 종래 기술에 의한 플래시 소자의 소오스 라인 형성 방법을 설명하기 위한 소자의 단면도이다.

<8> 도 1a를 참조하면, 반도체 기판(11)에 소자 분리막(도시 안됨)을 형성하여

필드 영역(field region)과 액티브 영역(active region)을 정의(define)하고, 액티브 영역의 반도체 기판(11) 상에 터널 산화막(12)을 형성한다. 터널 산화막(12) 상에 플로팅 게이트(13), 유전체막(14) 및 콘트롤 게이트(15)가 적층된 스택 게이트(stack gate) 구조를 형성한다. 소자의 고집적화에 따라 워드라인 저항을 감소시키기 위해 콘트롤 게이트(15)로서 폴리실리콘층과 WSi_x , W , CoSi_x , TiSi_x 등과 같은 금속계 물질층이 적층된 구조를 많이 적용하고 있다. 자기정렬 소오스 공정을 진행하기 위하여, 자기정렬 소오스 마스크 작업을 통해 소오스 라인 지역이 개방된 포토레지스트 패턴(16)을 스택 게이트 구조상에 형성한다. 포토레지스트 패턴(16)은 $0.07\mu\text{m}$ 이하의 중첩도 마진을 갖도록 형성해야 한다.

<9> 도 1b를 참조하면, 자기정렬 소오스 식각(SAS etch) 공정을 진행하여 소오스 라인 지역에 노출된 소자 분리막(도시 안됨)을 제거하여 소오스 라인 지역의 반도체 기판(11)이 모두 노출되게 하고, 자기정렬 소오스 식각을 완료한 후에 경화 공정을 진행한다. 자기정렬 소오스 식각 공정 및 경화 공정 동안 포토레지스트 패턴(16)은 일정 두께 식각 손실이 발생되어 두께가 얇아지고 경화된 포토레지스트 패턴(17)이 된다.

<10> 도 1c를 참조하면, 두께가 얇고 경화된 포토레지스트 패턴(17)을 이온 주입 마스크로 이용한 셀 소오스 이온 주입(cell source ion implantation) 공정을 진행하여 소오스 라인 지역의 반도체 기판(11)에 불순물 이온이 주입된 플래시 소자의 소오스 라인(18)을 형성한다.

<11> 그러나, 상기와 같은 기술은 소오스와 드레인의 형성시 식각 및 이온주입에 의한 실리콘 격자의 결함이 발생하여 게이트 양쪽면의 산화막의 두께가 달라지는 현상이 나타난다.

【발명이 이루고자 하는 기술적 과제】

- <12> 따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 식각 및 이온주입에 의한 결함을 제거하기 위하여 결함 제거 식각을 통하여 산화막의 두께를 균일화하고 소자의 전기적 특성을 개선할 수 있는 반도체 소자의 제조방법을 제공함에 본 발명의 목적이 있다.

【발명의 구성 및 작용】

- <13> 본 발명의 상기 목적은 소자격리막이 구비된 반도체 기판상에 산화막, 플로팅 게이트 도전막, 유전체막, 콘트롤 게이트 도전막을 차례로 증착하는 단계, 상기 산화막, 플로팅 게이트 도전막, 유전체막 및 콘트롤 게이트 도전막을 패터닝하여 게이트를 형성하는 단계, 상기 게이트가 형성된 기판에 자기정렬 소오스용 마스크를 형성하고 패터닝하는 단계, 상기 게이트 사이에 드러난 소자격리막을 제거하는 단계, 이온 주입 공정을 진행하는 단계 및 상기 이온 주입 공정 또는 소자격리막을 제거시 발생하는 데미지를 제거하는 단계를 포함하는 반도체 소자의 제조방법에 의해 달성된다.
- <14> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.
- <15> 도 2a 내지 도 2d는 본 발명에 따른 반도체 소자의 제조방법을 나타낸 공정단면도이다.
- <16> 우선, 도 2a와 같이, 소자격리막(21)이 구비된 반도체 기판(20)상에 산화막(22)을 형성하고 상기 산화막 상부에 플로팅 게이트 도전막(23), 유전체막(24), 콘트롤 게이트 도전막(25)

을 차례로 증착한 후 상기 산화막, 플로팅 게이트 도전막, 유전체막 및 콘트롤 게이트 도전막을 패터닝하여 게이트를 형성한다.

- <17> 상기 산화막은 셀 어레이 영역 또는 주변회로 영역에 요구되는 트랜지스터의 특성을 얻기 위한 적절한 두께로 형성하고, 상기 주변회로 영역이 고전압부 및 저전압부이냐에 따라 다른 두께가 형성될 수 있다.
- <18> 상기 플로팅 게이트 도전막은 고저항의 전도성을 가지는 도전막으로, 폴리실리콘막으로 형성하는 것이 바람직하다. 상기 폴리실리콘막은 불순물을 주입하지 않거나, 또는 폴리실리콘막을 형성한 후 인(P) 또는 비소(As)를 불순물로 사용한 이온주입 및 포클도핑(POCl doping) 중 한 가지를 사용하여 불순물을 폴리실리콘막 내에 확산시켜 형성하는 것이 바람직하다.
- <19> 상기 유전체막은 고유전율 및 높은 항복전압(breakdown voltage) 특성을 가지는 도전막으로서, ONO(oxide-nitride-oxide)막으로 형성하는 것이 바람직하다.
- <20> 상기 콘트롤 게이트 도전막은 도핑된 폴리실리콘막으로 형성할 수 있다.
- <21> 소자의 고집적화에 따라 워드라인 저항을 감소시키기 위해 콘트롤 게이트 도전막 상부에 금속계 물질층을 적층하여 실리사이드 막을 형성하여 상기 콘트롤 게이트 도전막과 실리사이드 막을 콘트롤 게이트로 사용한다.
- <22> 이어, 도 2b와 같이, 게이트가 형성된 기판에 자기정렬 소오스용 마스크(26)를 형성하고 패터닝한다.
- <23> 다음으로, 도 2c와 같이, 게이트 사이에 존재하는 소자격리막을 제거한다. 자기정렬 소오스 식각을 진행하여 소오스 라인 지역에 노출된 소자격리막을 제거하여 소오스 라인 지역의 반도체 기판이 모두 노출되게 한다.

- <24> 상기 소자격리막은 건식식각으로 바람직하게는 100 내지 130mT의 압력하에서 800 내지 1500W의 탑파워(top power)와 800 내지 1300W의 바텀 파워(bottom power)를 인가하고, 3 내지 5sccm의 C_4F_8 , 2 내지 6sccm의 CHF, 1 내지 5sccm의 O_2 및 100 내지 300sccm의 Ar을 사용하는 식각조건에서 실시된다.
- <25> 다음으로, 도 2d와 같이, 상기 자기정렬 소오스용 마스크를 이온 주입 마스크로 이용하여 이온 주입 공정(28)을 진행한다.
- <26> 상기 자기정렬 소오스용 마스크를 이온 주입 마스크로 이용하여 이온 주입 공정을 진행하여 반도체기판에 불순물 이온이 주입된 소오스 라인을 형성한다.
- <27> 이후, 소오스 라인이 형성된 기판의 전면에 절연층을 형성한다. 상기 절연층은 BPSG가 바람직하다.
- <28> 상기 소자격리막의 제거시 건식식각은 플라즈마 상태를 이용하기 때문에 플라즈마 내에 존재하는 이온에 의한 손상이 게이트의 양쪽면에 발생하며, 또한 이온 주입 공정에서도 이온에 의한 손상이 발생한다.
- <29> 이러한 손상을 제거하기 위하여 화학 건식식각을 실행한다.
- <30> 상기 화학 건식식각은 리모트 플라즈마를 사용해서 반응실 내로의 이온 유입을 막고 라디칼(radical)에 의한 반응만 일어나게 한다. 이온의 유입을 막기 때문에 반도체 기판 식각시 발생하는 데미지층을 제거할 수 있으므로 절연막의 특성을 향상시킬 수 있다.
- <31> 상기 화학 건식식각은 등방성 식각으로 행하여지며 바람직하게는 200 내지 250mTorr의 압력하에서 300 내지 500W의 마이크로웨이브 파워를 인가하고, 200 내지 280sccm의 CF_4 및 40 내지 80sccm의 O_2 를 사용하는 식각조건에서 실시하며, 더욱 바람직하게는 225mTorr의 압력하에

서 400W의 마이크로웨이브 파워를 인가하고, 240sccm의 CF_4 및 60sccm의 O_2 를 사용하는 식각조건에서 실시한다.

<32> 이러한 화학 건식식각으로 이온에 의한 손상을 줄임으로써 실리콘 내에 존재하는 결함막 및 격자의 손상을 줄여 후공정에서 진행될 산화막의 성장시 이상성장을 방지하여 산화막의 성질을 개선하여 전기적 특성을 양호하게 한다.

<33> 이어, 크리닝 공정으로 상기 화학 건식식각된 기판을 세정하며, 상기 기판의 상부에 산화막을 형성한다.

<34> 상세히 설명된 본 발명에 의하여 본 발명의 특징부를 포함하는 변화들 및 변형들이 당해 기술 분야에서 숙련된 보통의 사람들에게 명백히 쉬워질 것임이 자명하다. 본 발명의 그러한 변형들의 범위는 본 발명의 특징부를 포함하는 당해 기술 분야에 숙련된 통상의 지식을 가진 자들의 범위 내에 있으며, 그러한 변형들은 본 발명의 청구항의 범위 내에 있는 것으로 간주된다.

【발명의 효과】

<35> 따라서, 본 발명의 반도체 소자의 제조방법은 화학 건식식각을 통하여 식각 및 이온주입시 발생하는 실리콘 격자의 손상을 제거하여 산화막의 막질 특성을 향상시켜 플래시 메모리 소자의 동작시 전자의 손실을 방지하여 소자의 전기적 특성을 개선할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 소자의 제조방법에 있어서,

소자격리막이 구비된 반도체 기판상에 산화막, 플로팅 게이트 도전막, 유전체막, 콘트롤 게이트 도전막을 증착하는 단계;

상기 산화막, 플로팅 게이트 도전막, 유전체막 및 콘트롤 게이트 도전막을 패터닝하여 게이트를 형성하는 단계;

상기 게이트가 형성된 기판에 자기정렬 소오스용 마스크를 형성하고 패터닝하는 단계;

상기 게이트 사이에 드러난 소자격리막을 제거하는 단계;

이온 주입 공정을 진행하는 단계; 및

상기 이온 주입 공정시 또는 소자격리막 제거시 발생한 데미지를 제거하는 단계;

를 포함하는 반도체 소자의 제조방법.

【청구항 2】

제 1항에 있어서,

상기 데미지를 제거하는 단계 이후 크리닝 공정으로 상기 화학 건식식각된 기판을 세정하고, 상기 기판에 산화막을 형성하는 공정을 더 포함하는 반도체 소자의 제조방법.

【청구항 3】

제 1항에 있어서,

상기 소자격리막의 제거는 건식식각으로 제거하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 4】

제 3항에 있어서,

상기 건식식각은 100 내지 130mTorr의 압력하에서 800 내지 1500W의 탑파워와 800 내지 1300W의 바텀 파워를 인가하는 식각조건에서 실시하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 5】

제 3항에 있어서,

상기 건식식각은 3 내지 5sccm의 C_4F_8 , 2 내지 6sccm의 CHF_3 , 1 내지 5sccm의 O_2 및 100 내지 300sccm의 Ar을 사용하는 식각조건에서 실시하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 6】

제 1항에 있어서,

상기 이온 주입 공정시 또는 소자격리막 제거시 발생하는 데미지를 제거하는 공정에서 데미지의 제거는 화학 건식식각 공정으로 제거함을 특징으로 하는 반도체 소자의 제조방법.

【청구항 7】

제 6항에 있어서,

상기 화학 건식식각은 리모트 플라즈마를 사용해서 반응실 내로의 이온의 유입을 막고 라디칼에 의한 반응만 일어나게 하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 8】

제 6항에 있어서,

상기 화학 건식식각은 등방성 식각임을 특징으로 하는 반도체 소자의 제조방법.

【청구항 9】

제 6항에 있어서,

상기 화학 건식식각은 200 내지 250mTorr의 압력하에서 300 내지 500W의 마이크로웨이브 파워를 인가하는 식각조건에서 실시하는 것을 특징으로 하는 반도체 소자의 제조방법.

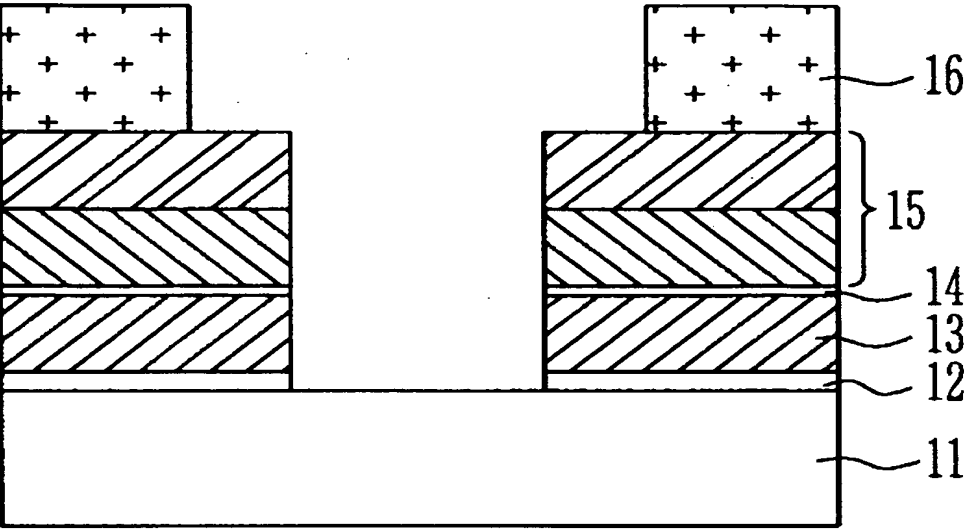
【청구항 10】

제 6항에 있어서,

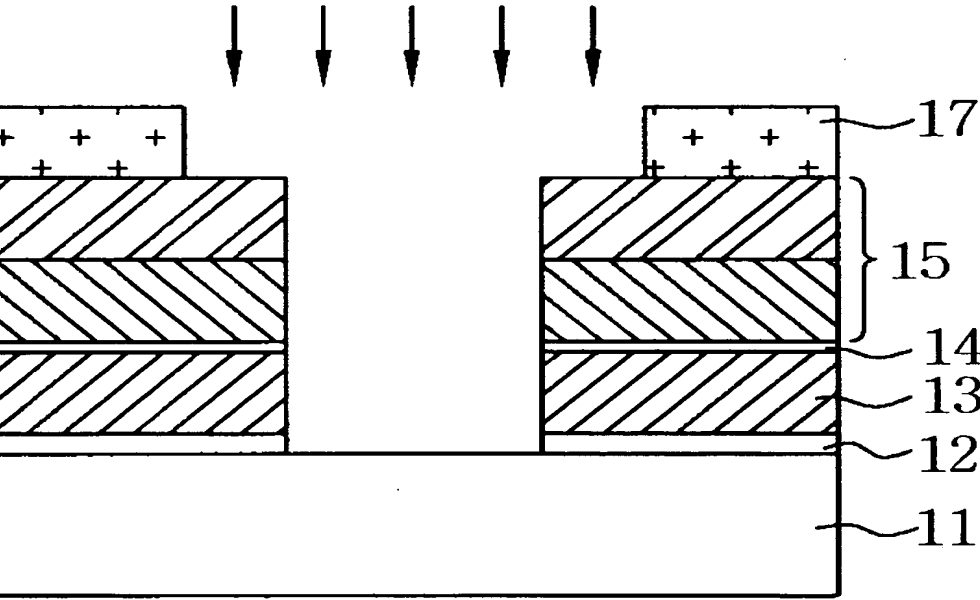
상기 화학 건식식각은 200 내지 280sccm의 CF_4 및 40 내지 80sccm의 O_2 를 사용하는 식각 조건에서 실시하는 것을 특징으로 하는 반도체 소자의 제조방법.

【도면】

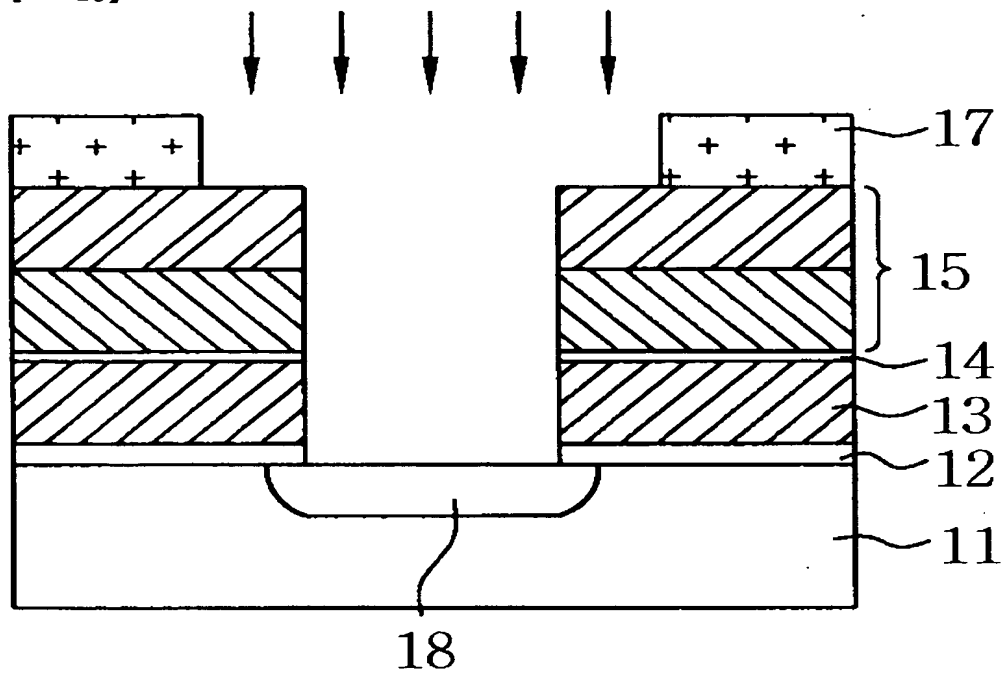
【도 1a】



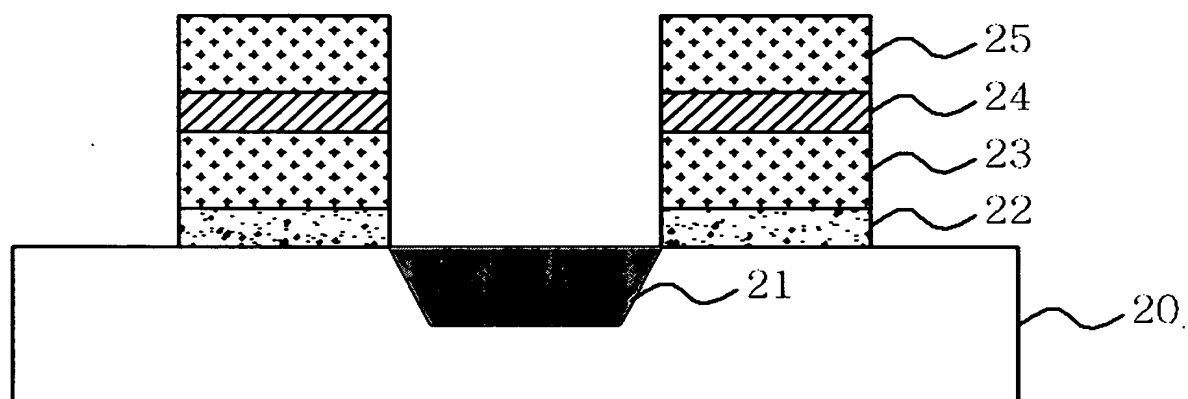
【도 1b】



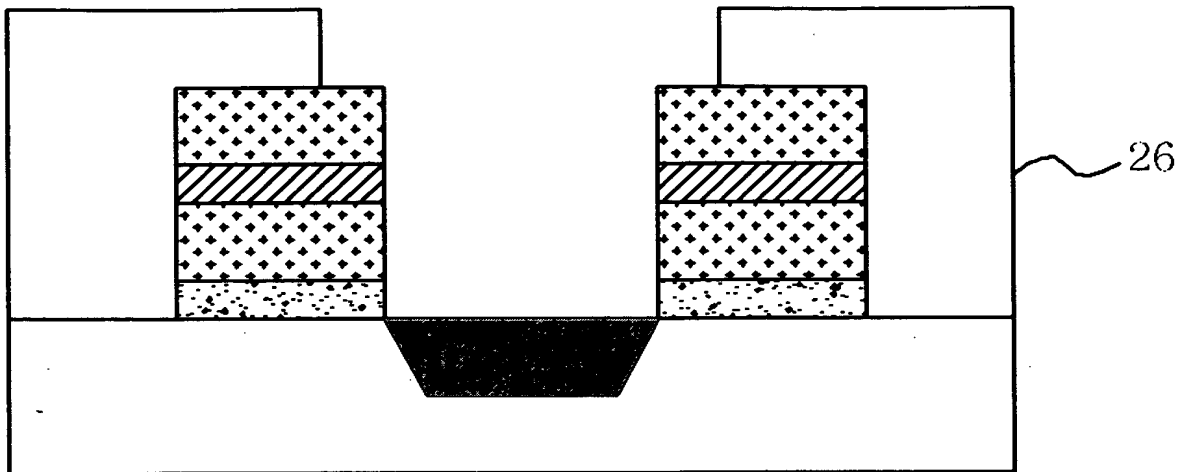
【도 1c】



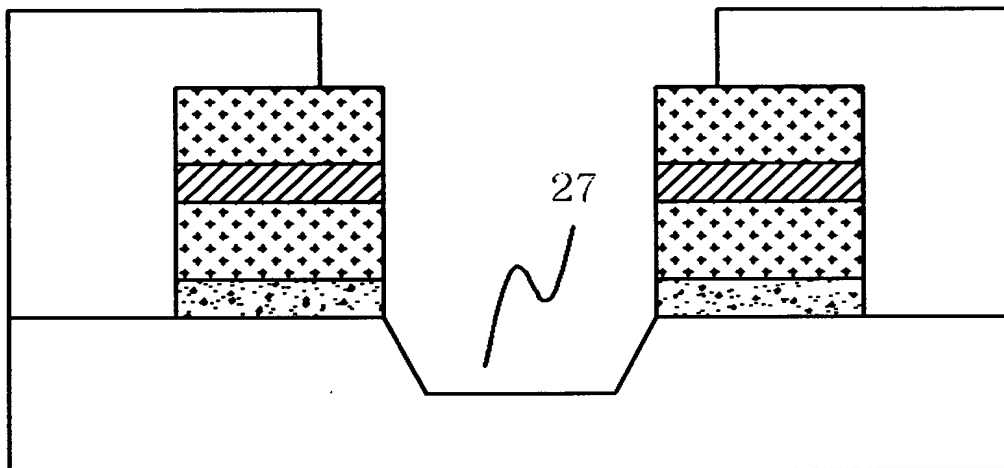
【도 2a】



【도 2b】



【도 2c】



【도 2d】

